



(11) Publication number: **11298244**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10097709

(51) Intl. Cl.: H03B 5/18 H03B 7/12

(22) Application date: 09.04.98

(30) Priority:

(43) Date of application
publication: 29.10.99

(84) Designated contracting
states:

(71) Applicant: JAPAN RADIO CO LTD

(72) Inventor: YOSHIDA GORO

(74) Representative:

(54) DISTRIBUTION CONSTANT LINE TYPE OSCILLATOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a distribution constant line type oscillator which improves a load Q in comparison with conventional one, is stabilized in frequency manner and reduces phase noises.

SOLUTION: To the gate of a field effect transistor(FET) Tr as an oscillation element, an $n/2$ { (n) is a natural number ≥ 2 } wavelength resonators Res composed of distribution constant lines is connected. Since the reactance of the resonator Re is made n-fold in comparison with the case of using a $1/2$ wavelength resonator, the load $Q=Q1$ of the oscillator is improved. The generation of unwanted oscillation caused by extending the electric length of the resonator Res can be prevented by providing parallel resonance circuits L and C on

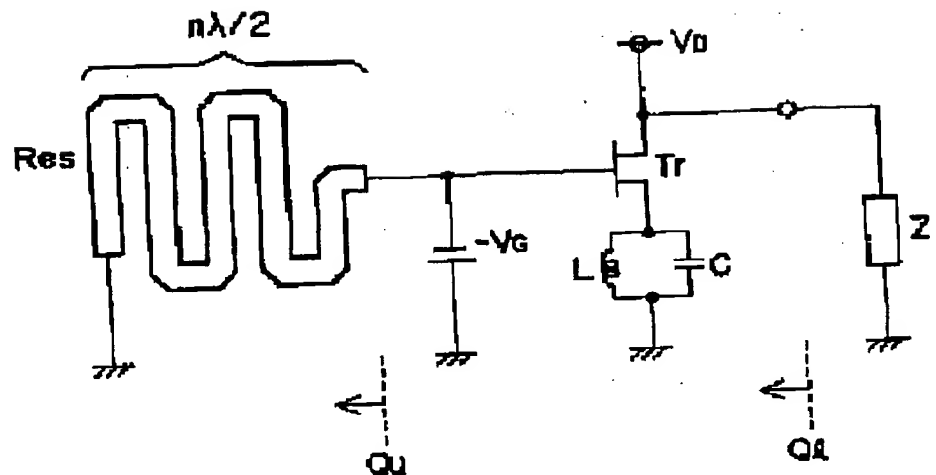
<http://www.delphion.com/cgi-bin/viewpat.cmd/JP11298244A2>

3/2/2

11298244 A

the source side of the FET Tr and limiting a frequency band for the appearance of negative resistance at the gate by setting its anti-resonance frequency a little lower than the desired oscillation frequency. Drain parallel resonance circuits having the anti-resonance frequency a little higher than the desired oscillation frequency can be provided as well. A voltage controlled reactance element can be provided at one end of the resonator Res as well. A $(n/2+1/4)$ wavelength resonator can be used as well.

COPYRIGHT: (C)1999,JPO



4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-298244

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.*

H 0 3 B 5/18
7/12

識別記号

F I

H 0 3 B 5/18
7/12

C

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平10-97709

(22) 出願日 平成10年(1998)4月9日

(71) 出願人 000004330

日本無線株式会社

東京都三鷹市下連雀5丁目1番1号

(72) 発明者 吉田 吾朗

東京都三鷹市下連雀5丁目1番1号 日本

無線株式会社内

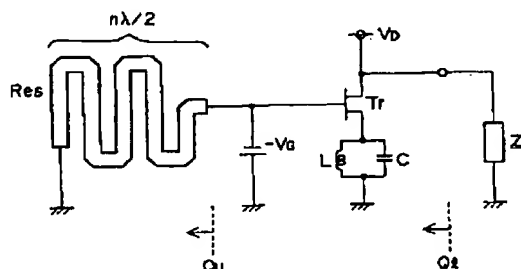
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 発明の名称 分布定数線路型発振器

(57) 要約

【課題】 従来に比べ、負荷Qが高く、周波数的に安定で位相雑音が少ない分布定数線路型の発振器を実現する。

【解決手段】 発振素子たる電界効果トランジスタ (FET) Tr のゲートに分布定数線路から構成された $n/2$ 波長共振器 Res を接続する ($n: 2$ 以上の自然数)。共振器 Res のリアクタンスが $1/2$ 波長共振器を用いた場合に比べ n 倍になるため、発振器の負荷 $Q = Q_1$ が大きくなる。共振器 Res の電気長を長くしたことに伴う不要発振の発生は、FET Tr のソース側に並列共振回路 (L, C) を設け、その反共振周波数を所望の発振周波数よりわずかに低い周波数に設定してゲートに負性抵抗が現れる周波数帯域を制限することにより、防止できる。その反共振周波数が所望の発振周波数よりわずかに高いドレイン並列共振回路を設けてもよい。共振器 Res の一端に電圧制御型リアクタンス素子を設けてもよい。 ($n/2 + 1/4$) 波長共振器を用いてもよい。



(2)

特開平11-298244

2

1

【特許請求の範囲】

【請求項1】 発振素子たるFETと、
その一端がこのFETのゲートに接続されており他端が
接地されている $n/2$ 波長共振器たる分布定数線路と
($n:2$ 以上の自然数)、

上記FETのゲートに負性抵抗が生ずる周波数帯域を所
定の発振周波数の近傍に限定する負性抵抗帯域制限手段
と、

を備えることを特徴とする分布定数線路型発振器。

【請求項2】 発振素子たるFETと、
印加されるバイアス電圧に応じてそのリアクタンスが変
化する電圧制御型リアクタンス素子と、
一端が上記FETのゲートに接続されており他端が上記
電圧制御型リアクタンス素子を介して接地されている n
 $/2$ 波長共振器たる分布定数線路と($n:2$ 以上の自然
数)、

上記FETのゲートに負性抵抗が生ずる周波数帯域を所
定の発振周波数の近傍に限定する負性抵抗帯域制限手段
と、

を備えることを特徴とする分布定数線路型発振器。

【請求項3】 発振素子たるFETと、
一端がこのFETのゲートに接続されており他端が開放
されている($n/2+1/4$)波長共振器たる分布定数
線路と($n:2$ 以上の自然数)、
上記FETのゲートに負性抵抗が生ずる周波数帯域を所
定の発振周波数の近傍に限定する負性抵抗帯域制限手段
と、

を備えることを特徴とする分布定数線路型発振器。

【請求項4】 請求項1乃至3のいずれかに記載の分布
定数線路型発振器において、
上記FETのソースと接地面との間に接続され発振周波
数よりわずかに低い周波数にて反共振するソース並列共
振回路と、上記FETのドレインと負荷との間に接続さ
れ発振周波数よりわずかに高い周波数にて反共振するド
レイン並列共振回路とのうち、少なくとも一方を、上記
負性抵抗帯域制限手段として備えることを特徴とする分
布定数線路型発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、分布定数線路を共
振器として用いた分布定数型発振器に関する。

【0002】

【従来の技術及びその問題点】図5に、一従来技術に係
る分布定数型発振器の構成を示す。この図に示す発振器
は、電界効果トランジスタ(FET)Tr、インダクタ
L及び共振器Resから構成されている。図中、ZL
は、この発振器の負荷であり、FETTrのドレインに
接続されている。

【0003】FETTrは発振素子であり、そのドレイン
には正の電源電圧VDが、またゲートには負のバイア

ス電圧-VGがそれぞれ印加されている。インダクタL
は、FETTrのゲートに負性抵抗を発生させるための
直列帰還素子である。さらに、共振器Resはいわゆる
 $1/2$ 波長共振器であり、分布定数線路から構成されて
いる。すなわち、共振器Resは、その一端がFETTr
のゲートに接続され、他端が接地され、その電気長が
発振波長 λ の約 $1/2$ 倍である分布定数線路から構成さ
れている。

【0004】この図に示す発振器において、共振器とし
て一端短絡の分布定数線路を用いているのは、例えば誘
電体共振器を共振器として用いた場合に比べ、発振可能
周波数範囲が広くなることや、半導体プロセスによって
製造するのが容易であることによる。すなわち、マイク
ロ波帯やミリ波帯の発振器として広く用いられている誘
電体共振器は、その無負荷Qが大きい、周波数的に安定
である、位相雑音が少ない、といった利点を有している
が、反面で、特に高い周波数で使用する時取付等の方
法が非常に難しく、また、基板とは別に高誘電率材料を
用いて実現することが一般的であるため他の回路素子と
一緒に半導体プロセスによって製造するのが難しい、と
いった短所を有している。図5に示した発振器では、誘
電体共振器が有するような短所を回避すべく、上述
のように分布定数線路を用いている。分布定数線路は、
基板上的導体パターンとして半導体プロセスでも製造可
能であり、取付等の必要がない。

【0005】しかしながら、このように一端短絡の分布
定数線路を共振器Resとして用いた場合、発振器の無
負荷Qが小さくなり、発振周波数の安定化や低位相雑音
化が難しくなるという問題が生ずる。

【0006】ここで、FETTrのゲートからみた共振
器Resの損失を r 、リアクタンスを x とすると、この
共振器Resの無負荷Qは、次の式

$$\text{【数1】 } Q_u = (dx/d\omega) / r \quad (\text{ただし } \omega: \text{各周波数})$$

で与えられる Q_u となる。FETTrの内部抵抗が r'
であるならば、図5に示した発振器の無負荷Q、すなわ
ち負荷ZLに接続されている状態で負荷ZL側から発振
器を見込んだときのQは、次の式

$$\text{【数2】 } Q_l = (dx/d\omega) / (r + r')$$

となる。一般に、 $r' > r$ であるため、ここで仮に r'
 $= 10r$ とすると、

【数3】

$$Q_l = (dx/d\omega) / 11r = Q_u / 11$$

となる。この式から明らかとなり、発振器の負荷Q=
 Q_l は、共振器の無負荷 $Q = Q_u$ の $1/11$ 倍といった
小さな値になり、発振器の負荷Qが低いことがわかる。

【0007】

【発明の概要】本発明の目的の一つは、分布定数線路を
共振器として用いた分布定数線路型発振器において、従
来に比べ発振器の負荷Qを大きくし、これによって発振

(3)

特開平11-298244

3

周波数の安定化や低位相雑音化を実現し、特にミリ波帯に適用したMMIC発振器として用いる発振器を提供することにある。

【0008】このような目的を達成すべく、本発明の第1の構成に係る分布定数線路型発振器においては、発振素子されたFETと、その一端がこのFETのゲートに接続されており他端が接地されている $n/2$ 波長共振器たる分布定数線路と($n:2$ 以上の自然数)、上記FETのゲートに負性抵抗が生ずる周波数帯域を所定の発振周波数の近傍に限定する負性抵抗帯域制限手段と、を設けている。また、第2の構成に係る分布定数線路型発振器においては、第1の構成における分布定数線路の接地側の一端に、印加されるバイアス電圧に応じてそのリアクタンスが変化する電圧制御型リアクタンス素子を接続することとしている。そして、第3の構成に係る分布定数線路型発振器においては、第1の構成における $n/2$ 波長共振器に代えて、一端がFETのゲートに接続されており他端が開放されている($n/2+1/4$)波長共振器たる分布定数線路($n:2$ 以上の自然数)を設けることとしている。

【0009】このように、本発明においては、共振器として用いる分布定数線路の電気長を、従来における $\lambda/2$ (λ :発振波長)よりも長くし、これによって、当該分布定数線路の抵抗及びリアクタンスを従来に比べ大きくしている。前述のように、発振器の負荷 $Q=Q_1$ を与える式の分子には共振器たる分布定数線路のリアクタンスの微分が含まれているから、共振器たる分布定数線路のリアクタンスを大きくすることにより、発振器の負荷 $Q=Q_1$ を従来に比べ大きくすることができる。従って、本発明においては、従来に比べ発振器の負荷 Q が大きい発振器、即ち従来に比べ発振周波数が安定で位相雑音が少ない発振器を実現することができる。この発振器は、特に、ミリ波帯用のMMIC発振器に適用している。

【0010】また、第2の構成として示した如く、共振器たる分布定数線路の一端に電圧制御型リアクタンス素子、例えばバラクタダイオードを接続することによって、共振器たる分布定数線路の一端と接地との間のリアクタンス値を適宜変化させることが可能になり、従って、外部から発振周波数を調整可能な電圧制御型発振器を実現することができる。また、本発明は、第1の構成として示したように、 $n/2$ 波長共振器を用いて実現することができるほか、第3の構成として示したように、($n/2+1/4$)波長共振器を用いて実現することもできる。そして、本発明における負性抵抗帯域制限手段は、所望の発振周波数よりわずかに低い周波数で反共振するソース並列共振回路をFETのソースと接地面との間に設けるか、あるいは所望の発振周波数よりわずかに高い周波数で反共振するドレイン並列共振回路をドレインと負荷との間に設けることによって、比較的簡単な回路構成にて実現することができる。なお、ソース並列共

4

振回路及びドレイン並列共振回路の Q が十分に高ければ、両者を共に設けることによって、FETのゲートに負性抵抗が生ずる周波数帯域を精密に限定することができる。

【0011】

【発明の実施の形態】以下、本発明の好適な実施形態に関し図面に基づき説明する。なお、図5に示した従来技術と同様のまたは対応する構成には同一の符号を付し、その説明を一部省略する。

【0012】図1に、本発明の第1実施形態にかかる分布定数線路型発振器の構成を示す。この図に示す発振器においては、共振器Resを構成する分布定数線路の電気長が、従来の n 倍とされている($n:2$ 以上の自然数)。すなわち、この図の共振器Resは、その一端が接地されその電気長が $n\lambda/2$ である分布定数線路を用いた $n/2$ 波長共振器である。さらに、この実施形態では、FETのソースと接地面との間に、インダクタL及びキャパシタCにより構成されているソース並列共振回路が設けられている。このソース並列共振回路の反共振周波数は、発振周波数よりもわずかに低い周波数に設定されている。

【0013】共振器Resに係る分布定数線路の電気長を従来に比べ長くしているのは、共振器Resのリアクタンス x を大きくすることによって、発振器の負荷 $Q=Q_1$ を従来に比べ大きくするためである。すなわち、発振器の負荷 $Q=Q_1$ は、前述のように、

$$【数4】 Q_1 = (dx/d\omega) / (r + r')$$

で与えられているから、共振器Resの抵抗 r 及びリアクタンス x が増大すれば、その無負荷 $Q=Q_u$ に格別の変化を引き起こすことなく、新規の負荷 $Q=Q_1$ が増大が生ずる。

【0014】例えば、図1において $n=10$ であるとすると、すなわち、従来に比べ、10倍の電気長を有する分布定数線路が、共振器Resとして用いられているとする。この場合、抵抗 r 及びリアクタンス x はそれぞれ従来の10倍になるから、この実施形態における発振器の負荷 Q は、

【数5】

$$Q_1 = 10 (dx/d\omega) / (10r + r')$$

ただし、この式中の r 及び x は従来技術における値となる。従来技術に関して論じたときと同様、 $r' = 10r$ とするならば、上式にて求められる発振器の負荷 $Q=Q_1$ は、

【数6】

$$Q_1 = 10 (dx/d\omega) / (10r + 10r) = Q_u / 2$$

となる。従って、前掲の従来技術において $Q_1 = Q_u / 11$ であったのに比べれば、この実施形態における負荷 $Q=Q_1$ は無負荷 $Q=Q_u$ の $1/2$ 倍にとどまり、従来に比べ発振器の負荷 $Q=Q_1$ が改善されていることがわ

(4)

特開平11-298244

6

かる。

【0015】また、この実施形態において、FETTrのソース側に並列共振回路を挿入しているのは、発振周波数を所望の発振周波数に制限するためである。すなわち、この実施形態における共振器Resは $n/2$ 波長共振器であるため、所望の発振周波数より低い帯域に発振条件を満足する周波数が存在するから、温度や電源投入時の状態次第では所望の発振周波数での発振ができなくなる場合がある。この問題を回避するため、本実施形態では、FETTrに、所望の発振周波数よりもわずかに低い周波数で反共振する並列共振回路を挿入し、この並列共振回路を介した直列帰還によって、FETTrのゲートにおいて負性抵抗が発生する周波数の範囲を、所望の発振周波数の近傍に限定している。すなわち、この実施形態では、従来に比べその電気長が長い分布定数線路を共振器Resとして用いているにもかかわらず、低域での不要な発振を抑制することができる。

【0016】さらに、FETTrのゲートに負性抵抗が発生する周波数範囲を限定する手段としては、図1に示したソース並列共振回路の他に、ドレイン並列共振回路を用いることができる(図2(a))。このドレイン並列共振周波数の反共振周波数は、所望の発振周波数よりもわずかに高い周波数としておく。さらに、前述のソース並列共振回路とこのドレイン並列共振回路とを、共に設けるようにしてもよい(図2(b))。このように、ソース並列共振回路とドレイン並列共振回路とを共に設けた場合、両並列共振回路のQが十分に高ければ、負性抵抗が生ずる周波数の範囲を所望の発振周波数の近傍にさらに精密に限定することが可能になる。図2中、区別のために、ソース並列共振回路に係る素子には添字1を、ドレイン並列共振回路に係る素子には添字2を、それぞれ付している。また、図示の簡略化のため、FETTr周辺の回路構成のみを示している。さらに、共振器Resの接地側の一端に、バラクタダイオードDを設け(図3参照)、このバラクタダイオードDのバイアス電圧を調整することにより、当該バラクタダイオードのキャパシタンスを変化させ、これによって発振周波数を調整可能にすることができる。また、図4に示すように、一端開放でその電気長が $n\lambda/2 + \lambda/4$ である分布定数線路を、共振器Resとして用いることも可能である。

【0017】更に、以上の説明では、共振器Resを構成する分布定数線路の電気長を所望の発振波長 λ を用いて $n\lambda/2$ 等と表していた。しかしながら、実際に回路

を構成する際には、FETTrのインピーダンスが回路構成によって変わってくる等の事情があるため、厳密に例えば $n\lambda/2$ とはせず、これよりもわずかに長いあるいはわずかに短い電気長の分布定数線路を用いる場合がある。本願でいうところの $n/2$ 波長共振器、 $(n/2 + 1/4)$ 波長共振器は、その電気長が厳密には $n\lambda/2$ 、 $n\lambda/2 + \lambda/4$ とはなっていない分布定数線路をも、包含するものとする。

【0018】さらに、上述の各実施形態では、共振器Resとしてメアンダ線路、すなわち所定個数の屈曲を有する線路を用いている。これは、共振器Resによる基板占有面積をコンパクトにし、回路全体をコンパクトにするためである。しかしながら、回路寸法上の制約が緩い場合には、屈曲のないまっすぐな線路によって実現することもできる。さらに、本発明において、共振器Resを構成するために用いている分布定数線路は、さまざまな構造の線路、例えばマイクロストリップ線路やコプレーナ線路等により、実現可能である。加えて、インダクタ及びキャパシタによってソース並列共振回路及びドレイン並列共振回路を実現した例を示したが、十分Qが高いのであれば、他の種類の反共振回路乃至反共振素子を、並列共振回路として用いても構わない。本願でいうところの並列共振回路はこの種の反共振回路乃至反共振素子を包含するものとする。

【図面の簡単な説明】

【図1】 本発明の第1実施形態にかかる分布定数線路型発振器の回路構成を示す図である。

【図2】 本発明の第2及び第3実施形態にかかる分布定数線路型発振器の要部構成を示す図であり、特に(a)は第2実施形態を、(b)は第3実施形態を、それぞれ示す図である。

【図3】 本発明の第4実施形態にかかる分布定数線路型発振器の要部回路構成を示す図である。

【図4】 本発明の第5実施形態にかかる分布定数線路型発振器の要部回路構成を示す図である。

【図5】 従来技術にかかる分布定数線路型発振器の要部回路構成を示す図である。

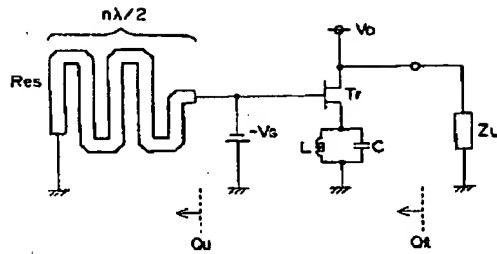
【符号の説明】

Tr 電界効果トランジスタ(FET)、L、C、L1、C1、L2、C2ソース並列共振回路又はドレイン並列共振回路を構成するインダクタ又はキャパシタ、Res 共振器、D バラクタダイオード、Qu 共振器の無負荷Q、Q1 発振器の負荷Q。

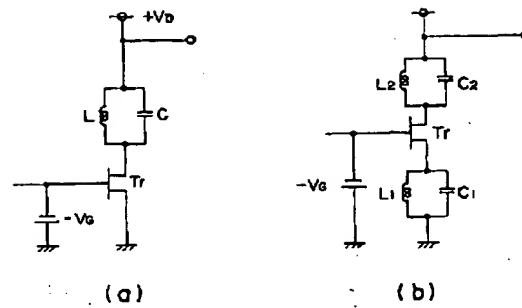
(5)

特開平 11-298244

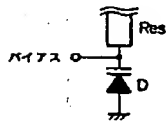
【図 1】



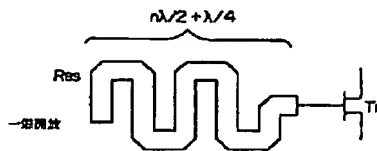
【図 2】



【図 3】



【図 4】



【図 5】

